

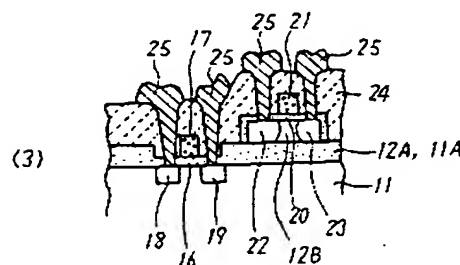
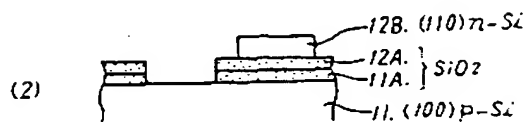
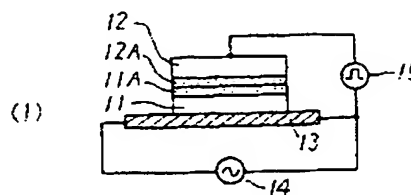
## Patent Abstracts of Japan

PUBLICATION DATE : 26-06-89

APPLICATION NUMBER : 62321812

**INVENTOR : HASEGAWA MICHIIHIKO;**

TITLE : MANUFACTURE OF  
SEMICONDUCTOR DEVICE



**CONSTITUTION:** A p-Si substrate 11 of a plane index (100) and an n-Si substrate 12 of a plane index (100), mounted with approximately 3000 $\text{\AA}$ -thick SiO<sub>2</sub> layers 11A and 12A, are put together on their SiO<sub>2</sub> surfaces and placed on a carbon heater 13. The substrates 11 and 12 are heated and then exposed to a pulse voltage for adhesion. The substrate 12 is thinned out by lapping and etching. The substrate 12 is subjected to another etching after which only an island- geometry element-forming n-Si region 12B is retained and the SiO<sub>2</sub> layer 12A is exposed. A p-channel FET is built on the n-Si region 12B, the SiO<sub>2</sub> layers 12A and 11A are locally removed for the exposure of the substrate 11 for the construction of an n-channel FET thereon. This design enhances a CMOS element in its operating speed.

COPYRIGHT: (C)1989,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-162362

⑤ Int.Cl.<sup>4</sup>

H 01 L 27/08  
27/00  
29/78

識別記号

3 3 1  
3 0 1  
3 1 1

庁内整理番号

B-7735-5F  
A-8122-5F  
C-7925-5F

④ 公開 平成1年(1989)6月26日

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 半導体装置の製造方法

⑭ 特 願 昭62-321812

⑮ 出 願 昭62(1987)12月18日

⑯ 発 明 者 長 谷 川 充 彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑰ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑱ 代 理 人 弁 理 士 井 柎 貞 一

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

面指数(100)のp型珪素(Si)基板上に、絶縁層を介して面指数(110)のn型珪素基板を形成する工程と、

前記のいずれか一方の基板を薄膜化し、パターンニングして該絶縁層上に島状の珪素層を形成する工程と、

p型珪素中にチャネル領域を(100)面内に持つnチャネルFETを形成し、n型珪素中にチャネル領域を(110)面内に持つpチャネルFETを形成する工程

とを有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(概要)

高速CMOS素子の製造方法に関し、

CMOS素子の高速化、微細化を可能とし、さらにラッチアップによる障害を防止することを目的とし、

面指数(100)のp型珪素(Si)基板上に、絶縁層を介して面指数(110)のn型珪素基板を形成する工程と、前記のいずれか一方の基板を薄膜化し、パターンニングして該絶縁層上に島状の珪素層を形成する工程と、p型珪素中にチャネル領域を(100)面内に持つnチャネルFETを形成し、n型珪素中にチャネル領域を(110)面内に持つpチャネルFETを形成する工程とを有するように構成する。

(産業上の利用分野)

本発明は半導体装置の製造方法に係り、特に高速CMOS素子の製造方法に関する。

CMOS素子は同一チップ上にnチャネルMOS FET

CMOS素子の断面図である。

第1図(1)において、表面に厚さ約3000ÅのSiO<sub>2</sub>層11Aを形成した面指数(100)のp-Si基板11と、表面に厚さ約3000ÅのSiO<sub>2</sub>層12Aを形成した面指数(110)のn-Si基板12をそれぞれのSiO<sub>2</sub>面を合わせて重ねてカーボンヒータ13上に載せ、電源14により800~900℃に基板を加熱し、パルス電源15より両基板間に30~300Vのパルス電圧を印加して両基板を貼り合わせる。この方法は本出願人により提起されたものである。

2) 1987年春季 第34回応用物理学会予稿集

p544, 30a-8-1.

次に、n-Si基板12をラッピングとエッチングにより5000Å程度に薄くして、素子形成領域を島状に残してその他の領域をエッチング除去して、下地のSiO<sub>2</sub>層12Aを露出させる。

第1図(2)において、通常の工程により、上記のようにして得られた島状のn-Si層12BにpチャネルFETを形成し、SiO<sub>2</sub>層12A, 11Aを一部除去してp-Si基板11を露出し、ここにnチャネルFETを形

成する。

第1図(3)は完成したCMOS素子の断面図で、16はゲート絶縁層等を構成する酸化膜、17はゲート電極、18, 19はn型のソースドレイン領域で、nチャネルFETを構成する。

一方、20はゲート絶縁層等を構成する酸化膜、21はゲート電極、22, 23はp型のソースドレイン領域で、pチャネルFETを構成する。

基板全面にカバーの絶縁層として珪酸ガラス(PSG)層24を成長し、コンタクト孔を開けて各電極25が形成されている。

(発明の効果)

以上説明したように本発明によれば、両FETはそれぞれキャリアの移動度の大きい面指数を選んで形成されるため高速化が可能となる。

両FETは同一平面上に形成されるため、ゲート電極に自己整合してソースドレイン領域を形成でき、素子の微細化が可能となる。

また、両FETは絶縁層で分離されているため、

7

ラッチアップによる障害を防止できる。

#### 4. 図面の簡単な説明

第1図(1)~(3)は本発明の一実施例を説明するCMOS素子の断面図。

第2図は従来例による異なる面にチャネルを形成したCMOS素子の断面図である。

図において、

11は面指数(100)のp-Si基板、

11AはSiO<sub>2</sub>層、

12は面指数(110)のn-Si基板、

12AはSiO<sub>2</sub>層、

12Bは島状のn-Si層、

13はカーボンヒータ、

14は電源、

15はパルス電源、

16はゲート絶縁層等を構成する酸化膜、

17はゲート電極、

18, 19はn型のソースドレイン領域、

20はゲート絶縁層等を構成する酸化膜、

8

21はゲート電極、

22, 23はp型のソースドレイン領域、

24はカバーの絶縁層でPSG層、

25は各電極

である。

代理人 弁理士 井桁貞一



9

—329—

10